

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

**THIS PAGE BLANK (USPTO)**

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-105277

(43)Date of publication of application : 24.04.1998

(51)Int.Cl. G06F 1/08

(21)Application number : 08-254549

(71)Applicant : NKK CORP

(22)Date of filing : 26.09.1996

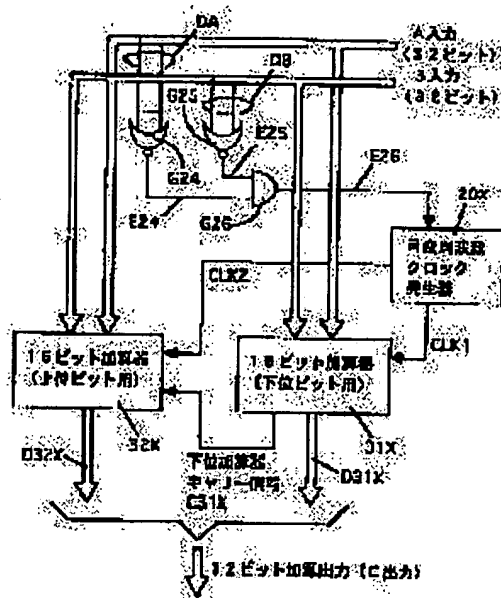
(72)Inventor : SASAKI YASUKI

## (54) VARIABLE CLOCK GENERATOR

(57)Abstract:

**PROBLEM TO BE SOLVED:** To supply a high speed clock to necessary parts only at a necessary time and to reduce current consumption without lowering system performance by supplying a relatively slow clock to a 2nd unit in accordance with a clock change signal.

**SOLUTION:** A variable frequency clock generator 20X decides that only a low order adder 31X can perform an add operation when a clock change signal E26 is "1" level. In such cases, the generator 20X supplies a fast clock CLK1 (which does not divide a system clock) to the adder 31X, but supplies a slow clock CLK2 (which divides a system clock in a prescribed ratio) to a high order adder 32X. Therefore, the power consumption current of the adder 32X becomes small and is saved, but the operation processing performance of an add operation does not deteriorate. When the signal E26 is '0' level, a fast clock is supplied to both adders 31X and 32X.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

1

③

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-105277

(43) 公開日 平成10年(1998) 4月24日

(51) IntCl.

G 0 6 F 1/08

識別記号

F I

G 0 6 F 1/04

3 2 0 A

審査請求 未請求 請求項の数 9 O L (全 18 頁)

(21) 出願番号

特願平8-254549

(22) 出願日

平成 8 年(1996) 9 月26日

(71) 出願人 000004123

日本鋼管株式会社

東京都千代田区丸の内一丁目1番2号

(72) 発明者 佐々木 泰樹

東京都千代田区丸の内一丁目1番2号 日

本鋼管株式会社内

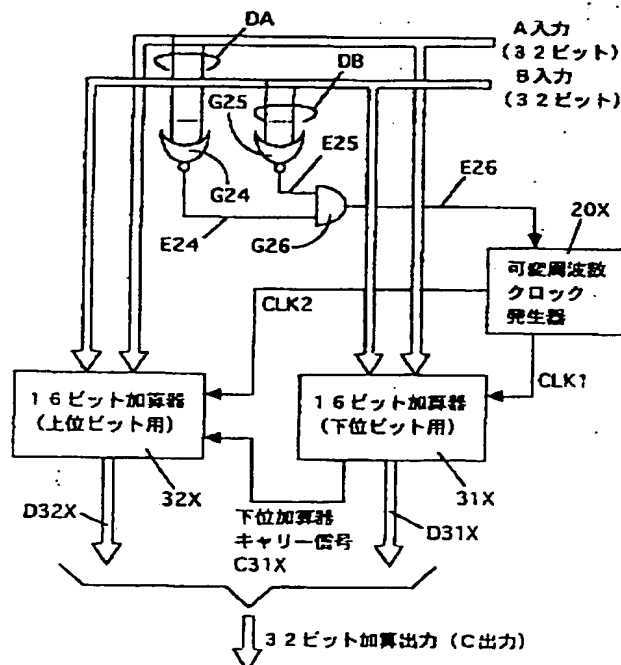
(74) 代理人 弁理士 長谷川 和音

(54) 【発明の名称】 可変クロック発生装置

(57) 【要約】

【課題】 全体的なシステム性能を落とすことなく電源消費電流を抑える。

【解決手段】 クロック CLK 1 に同期して A 入力・B 入力を処理する第 1 ユニット 3 1 X と；クロック CLK 2 に同期して A 入力・B 入力を処理する第 2 ユニット 3 2 X と；A 入力・B 入力の内容からユニット 3 1 X に比べてユニット 3 2 X の処理速度が低くても良いことを検知してクロック変更信号 E 2 6 を出力するデータ内容検知手段 G 2 4 ～G 2 6 と；この手段 G 2 4 ～G 2 6 から信号 E 2 6 を受け取っていないとき (E 2 6 = " 1 ") はユニット 3 1 X へ高速のクロック CLK 1 を供給するとともにユニット 3 2 X へも高速のクロック CLK 2 を供給し、手段 G 2 4 ～G 2 6 から信号 E 2 6 を受け取ったとき (E 2 6 = " 0 ") はユニット 3 1 X へ高速のクロック CLK 1 を供給するがユニット 3 2 X へは相対的に低速なクロック CLK 2 を供給する可変クロック発生手段 2 0 X とを備えている。



## 【特許請求の範囲】

【請求項1】第1クロックに同期して第1データおよび第2データを処理する第1ユニットと；第2クロックに同期して前記第1データおよび第2データを処理する第2ユニットと；前記第1データおよび第2データの内容から前記第1ユニットに比べて前記第2ユニットの処理速度が低くても良いことを検知してクロック変更信号を出力するデータ内容検知手段と；前記データ内容検知手段から前記クロック変更信号を受け取っていないときは、前記第1ユニットへ高速の前記第1クロックを供給するとともに前記第2ユニットへ高速の前記第2クロックを供給し、前記データ内容検知手段から前記クロック変更信号を受け取ったときは、前記第1ユニットへ高速の前記第1クロックを供給するとともに前記第2ユニットへ相対的に低速な前記第2クロックを供給する可変クロック発生手段と；を備えたことを特徴とする可変クロック発生装置。

【請求項2】前記第1データおよび第2データは、それぞれ、所定ビット数の上位ビットおよび所定ビット数の下位ビットで構成され、

前記第1ユニットが前記第1データおよび第2データの下位ビットを処理するように構成され、

前記第2ユニットが前記第1データおよび第2データの上位ビットを処理するように構成されていることを特徴とする請求項1に記載の可変クロック発生装置。

【請求項3】第1クロックに同期して情報記憶を行なう第1ユニットと；第2クロックに同期して情報伝送を行なう第2ユニットと；前記第1ユニットおよび前記第2ユニットに対してアドレスデータを出力するアドレス発生手段と；前記アドレス発生手段からのアドレスデータの内容が前記第1ユニットに対する情報記憶場所を示しているときは、前記第1クロックの周波数を前記第2クロックよりも相対的に高く設定し、前記アドレス発生手段からのアドレスデータの内容が前記第1ユニットに対する情報記憶場所を示していないときは、前記第1クロックの周波数を前記第2クロックよりも相対的に低く設定する可変クロック発生手段と；を備えたことを特徴とする可変クロック発生装置。

【請求項4】前記アドレス発生手段はアドレスポインタを含み、

前記第1ユニットはキャッシュメモリを含み、

前記第2ユニットは入出力回路部分を含み、

前記アドレスポインタが前記キャッシュメモリのアドレスを出力しているときは前記第1クロックに対する前記第2クロックの周波数を相対的に大きく下げ、前記アドレスポインタが前記入出力回路部分のアドレスを出力しているときは前記第2クロックに対する前記第1クロックの周波数を相対的に小さくきく下げるように、前記可変クロック発生手段が構成されていることを特徴とする請求項3に記載の可変クロック発生装置。

【請求項5】所定のクロック周波数に同期して動作するものであって、動作中は動作時オン信号を発生する制御対象モジュールと；前記制御対象モジュールが前記動作時オン信号を所定時間以上発生していないときは前記所定のクロック周波数を相対的に低く設定し、前記制御対象モジュールが前記動作時オン信号を発生しているときは前記所定のクロック周波数を相対的に高く設定するためのクロック制御信号を発生するクロック制御手段と；前記動作時オン信号が前記所定時間以上発生されていないことを前記クロック制御信号が示しているときは、相対的に周波数の低いクロックを前記制御対象モジュールへ供給し、前記動作時オン信号が発生されていることを前記クロック制御信号が示しているときは、相対的に周波数の高いクロック周波数を前記制御対象モジュールへ供給する可変クロック発生手段と；を備えたことを特徴とする可変クロック発生装置。

【請求項6】変更可能な所定の周波数を持つクロックに同期して動作する制御対象モジュールの動作を制御するものにおいて、

タイマを所定値にセットする第1ステップと；前記タイマによる時間計測を開始する第2ステップと；前記タイマによる時間計測結果が前記所定値に達しない間に前記制御対象モジュールが動作を開始したなら、前記タイマの時間計測を停止してこのタイマをリセットする第3ステップと；前記タイマによる時間計測結果が前記所定値に達したなら、前記制御対象モジュールが動作しない限り、前記タイマの時間計測を停止するとともに、前記クロックの周波数を低下させる第4ステップと；前記タイマによる時間計測結果が前記所定値に達した後も、前記制御対象モジュールが動作を開始すれば、前記第4ステップにおける前記クロックの周波数を低下を中止して、前記第2ステップに戻るステップと；を備えたことを特徴とする可変クロック発生方法。

【請求項7】原クロックまたはこの原クロックを分周した第1分周クロックで動作する第1ユニットと；原クロックまたはこの原クロックを分周した第2分周クロックで動作する第2ユニットと；第1の命令が入力されたときにクロック周波数を切り換える第1切換信号を発生する第1切換信号回路と；第2の命令が入力されたときにクロック周波数を切り換える第2切換信号を発生する第2切換信号回路と；前記第1切換信号と前記第2切換信号との第1の組み合わせで決まる第1の環境では、前記第1ユニットおよび第2ユニットに前記原クロックを供給し、

前記第1切換信号と前記第2切換信号との第2の組み合わせで決まる第2の環境では、前記原クロックを第1所定数で分周した前記第1分周クロックを前記第1ユニットへ供給するとともに、前記原クロックを前記第1所定数とは異なる第2所定数で分周した前記第2分周クロックを前記第2ユニットへ供給し、

前記第1切換信号と前記第2切換信号と第3の組み合わせで決まる第3の環境では、前記原クロックを第3所定数で分周した前記第1分周クロックを前記第1ユニットへ供給するとともに、前記原クロックを第3所定数とは異なる第4所定数で分周した前記第2分周クロックを前記第2ユニットへ供給するように構成した可変クロック供給回路と；を備えたことを特徴とする可変クロック発生装置。

【請求項8】分周後の前記第1分周クロックおよび前記第2分周クロックのクロック変化時点が分散されるように、前記第1所定数および第2所定数の一方が偶数なら他方は奇数に設定される期間を設けたことを特徴とする請求項7に記載の可変クロック発生装置。

【請求項9】分周後の前記第1分周クロックおよび前記第2分周クロックのクロック変化時点が分散されるように、前記第3所定数および第4所定数の一方が奇数なら他方は偶数に設定される期間を設けたことを特徴とする請求項7または請求項8に記載の可変クロック発生装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、システムを構成する各処理部への動作クロックをシステムの稼働状況に応じてダイナミックに変更できる可変クロック発生装置および可変クロック発生方法に関する。

【0002】

【従来の技術】パーソナルコンピュータなどのデジタル装置は、種々なクロックで動作する複数の処理部を含んでいる。たとえばマイクロコンピュータチップにおいて、内部レジスタを用いた整数演算または浮動小数点演算の処理部は最高のクロック周波数で動作させ、その演算処理中に行われる後続命令のロード/ストア等は相対的に低いクロック周波数で動作させる、といったことが行われる。あるいは、たとえばバッテリー駆動のノートブック型パーソナルコンピュータにおいて、その内部の低速I/O装置（8ビットモデムカードなど）を1MHzクロックで動作させ、システムバスを8MHzで動作させ、ビットマップ画像出力処理などの重たい処理を行う部分を16MHzで動作させる、といったことが行われる。

【0003】デジタル処理装置においては、その電源消費電流は動作クロック周波数に比例して増加する（装置内部電源回路の容量成分に対する単位時間当たりの充放電回数がクロック周波数に比例して増えるため）。たとえば1MHzクロックのデジタル処理カードが5V100mAの電源で動作している場合、動作クロックを8MHzに上げると電源消費電流は800mAに増えてしまう。消費電流が増えたとこの電流が流れる部分の発熱が増え、場合によっては放熱対策が必要になる。またバッテリー動作の機器ではバッテリーの連続使用可能時間が短くなるという問題も生じる。

【0004】上記問題を軽減するためには、次のような処置が必要となる。すなわち、高速動作が必要な個所だけに高速クロック（最高クロック周波数）を供給し、その高速クロック部分が動作中では、高速動作を必要としない他部分のクロック周波数を大幅に下げ、あるいは動作不要の回路部分はクロック周波数をゼロとして回路動作を止める。このようにすると、必要な個所は高速で動かしながら、装置全体としてみれば電源消費電流を比較的小さく抑えることが可能となる。

【0005】

【発明が解決しようとする課題】高速クロックを必要とする個所が常に高速クロックを必要としているとは限らないが、いつ高速クロックが必要となるかが分からないときは、高速処理部分には常に高速クロックを供給し、低速処理部分には常に低速クロックを供給する（あるいは低速処理部分のクロックを適宜止める）ことになる。そうすると、高速処理が必要でない期間においても高速処理部分が高速クロックを受けながら大きな電源電流を消費し続けているので、上記電源消費電流を効果的に抑えることは難しい。

【0006】また、電源消費電流を効果的に抑えるために一部のクロック供給を無造作に止めてしまうと、クロック供給を止められた回路部分の動作が完全に止まってしまいそこでの処理が中断する。この動作停止回路部分については、クロック供給を再開しても自己復帰できず、システムの立ち上げ（リブート）からやり直さなければならない事態が生じる恐れがある。この問題をクリアできる場合であっても、クロックの部分的な停止はシステム全体の性能低下に繋がる可能性が高いので、クロックを止めることのできる回路部分は限られてくる。

【0007】この発明の目的は、必要な部分へ必要な時にだけ高速クロックを供給するようにしてシステム性能を落とすことなく電源消費電流を抑えることのできる可変クロック発生装置および可変クロック発生方法を提供することである。

【0008】

【課題を解決するための手段】上記目的を達成するために、第1の発明に係る可変クロック発生装置（たとえば図8）は、第1クロック（CLK1）に同期して第1データ（A入力）および第2データ（B入力）を処理する第1ユニット（31X）と；第2クロック（CLK2）に同期して前記第1データ（A入力）および第2データ（B入力）を処理する第2ユニット（32X）と；前記第1データ（A入力）および第2データ（B入力）の内容から、前記第1ユニット（31X）に比べて前記第2ユニット（32X）の処理速度が低くても良いことを検知してクロック変更信号（E26）を出力するデータ内容検知手段（G24～G26）と；前記データ内容検知手段（G24～G26）から前記クロック変更信号（E26）を受け取っていないとき（E26="1"）は、

前記第1ユニット(31X)へ高速の前記第1クロック(CLK1)を供給するとともに前記第2ユニット(32X)へ高速の前記第2クロック(CLK2)を供給し、前記データ内容検知手段(G24~G26)から前記クロック変更信号(E26)を受け取ったとき(E26="0")は、前記第1ユニット(31X)へ高速の前記第1クロック(CLK1)を供給するとともに前記第2ユニット(32X)へ相対的に低速な前記第2クロック(CLK2)を供給する可変クロック発生手段(20X)とを備えている。

【0009】第2の発明に係る可変クロック発生装置においては、前記第1データ(A入力)および第2データ(B入力)は、それぞれ、所定ビット数の上位ビット(上位16ビット)および所定ビット数の下位ビット(下位16ビット)で構成され、前記第1ユニット(31X)が前記第1データ(A入力)および第2データ(B入力)の下位ビット(下位16ビット)を処理するように構成され、前記第2ユニット(32X)が前記第1データ(A入力)および第2データ(B入力)の上位ビット(上位16ビット)を処理するように構成されている。

【0010】上記目的を達成するために、第3の発明に係る可変クロック発生装置(たとえば図9、図10)は、第1クロック(CLK1)に同期して情報記憶を行なう第1ユニット(31Y)と；第2クロック(CLK2)に同期して情報伝送を行なう第2ユニット(32Y)と；前記第1ユニット(31Y)および前記第2ユニット(32Y)に対してアドレスデータを出力するアドレス発生手段(10Y)と；前記アドレス発生手段(10Y)からのアドレスデータの内容(最上位2ビット)が前記第1ユニット(31Y)に対する情報記憶場所を示している(アドレスがキャッシュ領域を示している)ときは、前記第1クロック(CLK1)の周波数を前記第2クロック(CLK2)よりも相対的に高く設定し(CLK2の分周比を大きくする)、前記アドレス発生手段(10Y)からのアドレスデータの内容(最上位2ビット)が前記第1ユニット(31Y)に対する情報記憶場所を示していない(アドレスが非キャッシュ領域を示している)ときは、前記第1クロック(CLK1)の周波数を前記第2クロック(CLK2)よりも相対的に低く設定する(CLK1の分周比を大きくする)可変クロック発生手段(20Y)とを備えている。

【0011】第4の発明に係る可変クロック発生装置においては、前記アドレス発生手段(10Y)はアドレスポインタ(あるいはプログラムカウンタ)を含み；前記第1ユニット(31Y)はキャッシュメモリを含み；前記第2ユニット(32Y)は入出力回路部分(I/O)を含み；前記アドレスポインタ(10Y)が前記キャッシュメモリ(31Y)のアドレスを出力しているときは前記第1クロック(CLK1)に対する前記第2クロック

(CLK2)の周波数を相対的に大きく下げ(図10の分周比1:4)、前記アドレスポインタ(10Y)が前記入出力回路部分(32Y)のアドレスを出力しているときは前記第2クロック(CLK2)に対する前記第1クロック(CLK1)の周波数を相対的に小さくきく下げる(図10の分周比2:3)ように、前記可変クロック発生手段(20Y)が構成されている。

【0012】上記目的を達成するために、第5の発明に係る可変クロック発生装置(たとえば図11)は、所定のクロック周波数(CLK2)に同期して動作するものであって、動作中は動作時オン信号(E30Z="1")を発生する制御対象モジュール(30Z)と；前記制御対象モジュール(30Z)が前記動作時オン信号(E30Z)を所定時間(レジスタ140の中身D140に対応)以上発生していないとき(モジュール30Zの稼働率が低い)は前記所定のクロック周波数(CLK2)を相対的に低く設定し(E150="1")、前記制御対象モジュール(30Z)が前記動作時オン信号(E30Z)を発生しているとき(モジュール30Zが稼働中)は前記所定のクロック周波数(CLK2)を相対的に高く設定する(E150="0")ためのクロック制御信号(一致出力E150；CLK2制御入力)を発生するクロック制御手段(10Z)と；前記動作時オン信号(E30Z)が前記所定時間(D140に対応)以上発生されていないことを前記クロック制御信号(E150="1")が示しているときは、相対的に周波数の低いクロック(CLK2)を前記制御対象モジュール(30Z)へ供給し、前記動作時オン信号(E30Z)が発生されていることを前記クロック制御信号(E150="0")が示しているときは、相対的に周波数の高いクロック周波数(CLK2)を前記制御対象モジュール(30Z)へ供給する可変クロック発生手段(20Z)とを備えている。

【0013】上記目的を達成するために、第6の発明に係る可変クロック発生方法(たとえば図12)は、変更可能な所定の周波数を持つクロック(たとえばCLK2)に同期して動作する制御対象モジュール(図11の30Z；図1、3、6では30)の動作を制御するものにおいて、タイマ(10Z)を所定値(D140)にセットする第1ステップ(ST32)と；前記タイマ(10Z)による時間計測を開始する第2ステップ(ST34)と；前記タイマ(10Z)による時間計測結果が前記所定値(D140)に達しない(ST36ノー)間に前記制御対象モジュール(30Z)が動作を開始したなら(ST38イエス)、前記タイマ(10Z)の時間計測を停止してこのタイマをリセットする第3ステップ(ST40)と；前記タイマ(10Z)による時間計測結果が前記所定値(D140)に達したなら(ST36イエス)、前記制御対象モジュール(30Z)が動作しない限り(ST44ノー；ST46ノー)、前記タイマ



(10Z)の時間計測を停止するとともに、前記クロック(CLK2)の周波数を低下させる第4ステップ(ST42)と；前記タイマ(10Z)による時間計測結果が前記所定値(D140)に達した後も(ST36イエス)、前記制御対象モジュール(30Z)が動作を開始すれば(ST44イエス)、前記第4ステップ(ST42)における前記クロック(CLK2)の周波数を低下を中止して(ST48)、前記第2ステップに戻るステップとを備えている。

【0014】以上の構成において、システムの稼働状況(処理データの内容、処理データのアドレス、あるいは処理実行モジュールの稼働状況)に応じてシステムを構成する各処理部への動作クロックをダイナミックに変更することにより、必要な部分へ必要な時にだけ高速クロック(分周比が相対的に小さく設定されたときの、たとえばクロックCLK1)を供給する一方、必要度の低い部分へは低速クロック(分周比が相対的に大きく設定されたときの、たとえばクロックCLK2)を供給するようにして、システム性能を落とすことなく電源消費電流を抑える。

【0015】また、第7の発明に係る可変クロック発生装置(図3～図5)では、原クロック(CLK0)またはこの原クロック(CLK0)を分周した第1分周クロック(CLK1)で動作する第1ユニット(31)と；原クロック(CLK0)またはこの原クロック(CLK0)を分周した第2分周クロック(CLK4)で動作する第2ユニット(34)と；第1の命令(#1)が入力されたときにクロック周波数を切り換える第1切換信号(Act1)を発生する第1切換信号回路(101a、101b)と；第2の命令(#2)が入力されたときにクロック周波数を切り換える第2切換信号(Act2)を発生する第2切換信号回路(102a、102b)と；前記第1切換信号(Act1)と前記第2切換信号(Act2)との第1の組み合わせ(Act1/Act2=0/0)で決まる第1の環境(図5のts1以前)では、前記第1ユニット(31)および第2ユニット(34)に前記原クロック(CLK0)を供給し；前記第1切換信号(Act1)と前記第2切換信号(Act2)との第2の組み合わせ(Act1/Act2=1/0)で決まる第2の環境(図5のts1～ts2)では、前記原クロック(CLK0)を第1所定数(図4の「2」)で分周した前記第1分周クロック(CLK1)を前記第1ユニット(31)へ供給するとともに、前記原クロック(CLK0)を前記第1所定数(「2」)とは異なる第2所定数(図4の「3」)で分周した前記第2分周クロック(CLK4)を前記第2ユニット(34)へ供給し；前記第1切換信号(Act1)と前記第2切換信号(Act2)と第3の組み合わせ(Act1/Act2=1/1)で決まる第3の環境(図5のts2以後)では、前記原クロック(CLK0)を第3所定

数(図4の「3」)で分周した前記第1分周クロック(CLK1)を前記第1ユニット(31)へ供給するとともに、前記原クロック(CLK0)を第3所定数(「3」)とは異なる第4所定数(図4の「4」)で分周した前記第2分周クロック(CLK4)を前記第2ユニット(34)へ供給するように構成した可変クロック供給回路(20)とを備えている。

【0016】また、第8の発明に係る可変クロック発生装置では、第7の発明において、分周後の前記第1分周クロック(CLK1)および前記第2分周クロック(CLK4)のクロック変化時点が分散されるように(図5の時点cなど)、前記第1所定数(図4の「2」)および第2所定数(図4の「3」)の一方が偶数なら他方は奇数に設定される期間(ts1～ts2)を設けている。

【0017】また、第9の発明に係る可変クロック発生装置では、第7または第8の発明において、分周後の前記第1分周クロック(CLK1)および前記第2分周クロック(CLK4)のクロック変化時点が分散されるように(図5の時点eなど)、前記第3所定数(図4の「3」)および第4所定数(図4の「4」)の一方が奇数なら他方は偶数に設定される期間(ts2以降)を設けている。

【0018】上記構成において、互いに異なる第1所定数(「2」)および第2所定数(「3」)で原クロック(CLK0)を分周して得た第1分周クロック(CLK1)および第2分周クロック(CLK4)でもって第1ユニット(31)および第2ユニット(34)を動作させている。この場合、第1分周クロック(CLK1)および第2分周クロック(CLK4)の分周比が異なることから、第1分周クロック(CLK1)のレベル変化点と第2分周クロック(CLK4)のレベル変化点とが常時一致することはなくなる(図5の時点a、b、c参照)。すると、クロックレベル変化時に第1ユニット(31)および第2ユニット(34)に瞬時的に流れる電源電流のピークが重ならなくなり、電源ノイズが抑えられる。

【0019】同様に、互いに異なる第3所定数(「3」)および第4所定数(「4」)で原クロック(CLK0)を分周して得た第1分周クロック(CLK1)および第2分周クロック(CLK4)でもって第1ユニット(31)および第2ユニット(34)を動作させている。この場合も、第1分周クロック(CLK1)および第2分周クロック(CLK4)の分周比が異なることから、第1分周クロック(CLK1)のレベル変化点と第2分周クロック(CLK4)のレベル変化点とが常時一致することはなくなる(図5の時点d、e、f、g、h参照)。すると、クロックレベル変化時に第1ユニット(31)および第2ユニット(34)に瞬時的に流れる電源電流のピークが重ならなくなり、電源ノイズ

が抑えられる。

【0020】つまり、第7～第9の発明では、原クロック(CLK0)を分周して得た相対的に低い周波数のクロックで第1および第2ユニット(31、34)を駆動することでこれらユニットの電源消費量(クロック周波数に比例)を低減させるとともに、複数クロック(CLK1、CLK4)のレベル変化点の位相をずらすことにより、電源ノイズ(クロックレベル変化の時間微分値に概略比例)も減らすことができる。

【0021】

【発明の実施の形態】以下、図面を参照して、この発明の一実施の形態に係る可変クロック発生装置および可変クロック発生方法を説明する。

【0022】図1は、この発明の一実施の形態に係る可変クロック発生装置を含むシステムの構成を示す。また、図2は、この装置の動作を説明するタイミングチャートである。

【0023】入力クロックCLK0は、図示しないシステムクロック発生回路から得ている。たとえば16MHzのクロックCLK0を得る場合、このシステムクロック発生回路は、32MHzの水晶発振器と、その出力をデューティ比50%の矩形波に波形整形するフリップフロップ(1/2分周器)で構成できる。このシステムクロック発生回路をCMOS回路で構成しておくと、この発生回路の電源消費電流は僅かなものにできるので、このCMOSクロック発生回路自体の発振動作を止めることはしない。

【0024】上記システムクロック発生回路からのクロックCLK0は、タイミング信号として最優先回路10に与えられるとともに、分周回路20に輸入される。

【0025】最優先回路10は、図示しないメインCPUから処理開始命令を受け取ると、クロックCLK0のタイミングで内部プログラムを実行し、所定の条件(最優先条件)が満たされると、アクティブ信号Actを発生する。たとえば、メインCPUが最高速度で動作する必要のない状態(ユーザからのキーボード入力待ち状態など)が所定時間(たとえば1分)続くと、ある最優先条件が満足され、システムクロックの周波数を落とす命令が最優先回路10に輸入される。すると、最優先回路10はアクティブ信号Actを発生する(図2の時間ts)。

【0026】アクティブ信号Actは、分周回路20に輸入される。分周回路20は、「システムクロック周波数を落とす」内容の命令に対応したアクティブ信号Actを受けている期間中(図2のts～te;ある最優先条件が満足されている期間)、最優先回路動作に入る。

【0027】分周回路20は、アクティブ信号Actを受けると(ts)、入力クロックCLK0のクロックタイミングでクロックCLK0を順々に分周し、1クロックづつずれたタイミング(t1、t2、t3)で、たと

えば1/2に分周されたクロックCLK1～CLK3を発生する。こうして得られた低速クロックCLK1～CLK3は、それぞれ、動作ユニット群30を構成する第1動作ユニット31～第3動作ユニット33に供給される。第1動作ユニット31～第3動作ユニット33は、それぞれ、供給された低速クロックCLK1～CLK3により、少ない電源消費電流でもって、必要十分な動作速度で所定の処理を実行する。

【0028】ここでの「最優先回路動作」とは、特定回路部分のシステムクロック周波数を落とし、他に最優先して動かす回路を存在させることをいう。換言すると、この特定回路部分を高速クロックで動作させていて何等問題がなくても(あるいは高速クロックで動作していた方が他の回路部分の動作速度上有利であっても)、「最優先回路動作」では、この特定回路部分へのシステムクロック周波数が落とされる。さらに別の言い方をするならば、「最優先回路動作」では、クロック周波数が落とされる特定回路部分よりも、クロック周波数が落とされない回路部分の方が、動作性能上優先される。

【0029】また、ここでの「最優先条件」とは、図示しない他回路の動作状況件に拘わらず、第1動作ユニット31～第3動作ユニット33へ供給される動作クロックCLK1～CLK3を1/2に分周しても良い条件となる。

【0030】たとえば、動作ユニット31が16MHzクロックで動作している場合にある処理を開始してから処理結果が出るまで最大1ms(ミリ秒)掛かるとする。メインCPU上で走っているプログラムにとって、この処理をリクエストしてからその結果を得るまで2ms以上待てる時は、動作ユニット31が8MHzクロックで動作してもかまわないことになる。このような場合(2ms待てる)に、前記「最優先条件」が満足され、最優先回路10は、入力クロックCLK0を1/2分周するアクティブ信号Actを発生する。

【0031】上記説明から明らかなように、この実施の形態で述べている「最優先条件」とは固定された内容のものではなく、システム構成や稼働中のプログラムの内容によって適宜変更される。

【0032】クロックを落とした第1動作ユニット31～第3動作ユニット33が再び高速クロックCLK0で動作する時期になると(図2のte)、最優先回路10は処理終了出力を、図示しないメインCPUに送出する。

【0033】以上まとめると、次のようになる。まずメインCPUが(クロックを下げて節電を行うために)処理開始命令を最優先回路10に輸入する。この命令を受けると、最優先回路10は、命令内容に応じた「最優先条件」の判定を行い、この条件が満足されると、所定期間(ts～te)最優先動作を行うアクティブ信号Actを出力する。この最優先動作期間中はクロック周波数

を落とした分だけ電源消費電流が低減される。

【0034】上記実施の形態は、次のような作用効果を持つ。

【0035】まず、高速クロックを必要としない低優先度のユニットへのクロック周波数を下げるから、その分消費電流が減る。

【0036】クロックを下げる動作ユニットが複数ある場合には、各ユニットの分周タイミングをずらしている(図2の $t_1 \sim t_3$ )。するとクロック変更時点での電源電流ピーク(パルス状)が同時期に集中せず、クロック変更に伴う電源ノイズレベルが小さくなる。このため、装置をIC化した場合において、ICパッケージの電源ピン、グランドピンの数を減らしても(ICピンを中継する部分の電源インピーダンスは高くなるが)、クロック変更に伴う電源ノイズレベルで回路動作にエラーが出にくくなる(電源ピン、グランドピンの数を減らせば、ICパッケージのコストを下げるができる)。

【0037】図3は、この発明の他の実施の形態に係る可変クロック発生装置を含むシステムの構成を示す。図3において、図示しないシステムクロック発生回路からの入力クロックCLK0は、タイミング信号として第1の最優先回路101(=101a+101b)および第2の最優先回路102(=102a+102b)に与えられるとともに、分周回路20に入力される。

【0038】分周回路20はアクティブ信号Act1およびAct2の組み合わせの内容に応じて入力クロックCLK0を分周して、4種類のクロックCLK1~CLK4をそれぞれ4つの動作ユニット31~34に与える。各動作ユニット31~34は、与えられたクロックCLK1~CLK4の周波数に対応した速度で、自身の処理を実行するようになっている。

【0039】最優先回路101は、メインCPUから第1の処理開始命令#1を受け取るとクロックCLK0のタイミングで内部プログラムを実行し、所定の条件(最優先条件1)が満たされるとアクティブ信号Act1を発生する(図5の時間 $t_{s1}$ )。同様に、最優先回路102は、メインCPUから第2の処理開始命令#2を受け取るとクロックCLK0のタイミングで内部プログラムを実行し、所定の条件(最優先条件2)が満たされるとアクティブ信号Act2を発生する(図5の時間 $t_{s2}$ )。

【0040】アクティブ信号Act1およびAct2は、分周回路20に入力される。分周回路20は、「システムクロック周波数を落とす」内容の命令に対応したアクティブ信号Act1およびAct2の組み合わせを受けている期間中(図2の $t_{s1}$ 以降;第1および第2の最優先条件が満足されている期間)、最優先回路動作に入る。

【0041】図4はこ、アクティブ信号Act1および

Act2の組み合わせとクロックCLK0に対する4種類の分周動作との対応関係を例示する表図である。

【0042】処理開始命令#1および#2の内容によって決まるアクティブ信号Act1およびAct2の組み合わせ(Act1/Act2)が、図4の1列目に示すように0/0の場合は、4種類のクロックCLK1~CLK4に対する分周比は全て「1」となる。すなわちクロックCLK1~CLK4各々の周波数は入力クロックCLK0と同じになる。(ただし、図5では、時間 $t_{s1}$ 以前におけるクロックCLK2の位相をクロックCLK1、CLK3、CLK4と逆相で例示してある。これらのクロックの位相関係は、それ以前にどんな分周比の組合せでどのように回路動作が続いてきたかにより変化する。)

処理開始命令#1および#2の内容によって決まるアクティブ信号Act1およびAct2の組み合わせ(Act1/Act2)が、図4の2列目に示すように0/1の場合は、4種類のクロックCLK1~CLK4に対する分周比は、それぞれ、「1」、「4」、「2」、「3」となる。すなわちクロックCLK1の周波数は入力クロックCLK0と同じとなり、クロックCLK2の周波数は入力クロックCLK0の1/4となり、クロックCLK3の周波数は入力クロックCLK0の1/2となり、クロックCLK4の周波数は入力クロックCLK0の1/3となる。

【0043】処理開始命令#1および#2の内容によって決まるアクティブ信号Act1およびAct2の組み合わせ(Act1/Act2)が、図4の3列目に示すように1/0の場合は、4種類のクロックCLK1~CLK4に対する分周比は、それぞれ、「2」、「2」、「4」、「3」となる。すなわちクロックCLK1およびCLK2の周波数は入力クロックCLK0の1/2となり、クロックCLK3の周波数は入力クロックCLK0の1/4となり、クロックCLK4の周波数は入力クロックCLK0の1/3となる。

【0044】処理開始命令#1および#2の内容によって決まるアクティブ信号Act1およびAct2の組み合わせ(Act1/Act2)が、図4の4列目に示すように1/1の場合は、4種類のクロックCLK1~CLK4に対する分周比は、それぞれ、「3」、「4」、「4」、「4」となる。すなわちクロックCLK1の周波数は入力クロックCLK0の1/3となり、クロックCLK2~CLK4の周波数は入力クロックCLK0の1/4となる。

【0045】アクティブ信号Act1およびAct2の組み合わせが時間とともに変化する場合は、最優先回路101および102の動作とそれに伴うクロックCLK1~CLK4の周波数変化は、たとえば図5に示すようになる。

【0046】すなわち、時間 $t_{s1}$ 以前では、アクティ

ブ信号Act 1およびAct 2の組み合わせが0/0なので分周比は「1」であるから、クロックCLK 1~CLK 4の周波数は入力クロックCLK 0と一致している。(クロックCLK 1~CLK 4のレベル変化点は一致させてあるが、それらの位相は必ずしも一致していない場合を例示している。)

時間ts 1からts 2の間では、アクティブ信号Act 1およびAct 2の組み合わせ(Act 1/Act 2)が1/0なので、4種類のクロックCLK 1~CLK 4に対する分周比は、図4の3列目に示すように、それぞれ「2」、「2」、「4」、「3」となる。

【0047】すると、クロックCLK 1の周波数が入力クロックCLK 0の1/2に変化し(時間t 1)、クロックCLK 2の周波数が入力クロックCLK 0の1/2に変化し(時間t 2)、クロックCLK 3の周波数が入力クロックCLK 0の1/4に変化し(時間t 3)、クロックCLK 4の周波数が入力クロックCLK 0の1/3に変化する(時間t 2)。

【0048】時間ts 2以降では、アクティブ信号Act 1およびAct 2の組み合わせ(Act 1/Act 2)が1/1なので、4種類のクロックCLK 1~CLK 4に対する分周比は、図4の4列目に示すように、それぞれ「3」、「4」、「4」、「4」となる。

【0049】すると、クロックCLK 1の周波数が入力クロックCLK 0の1/3に変化し(時間t 2 3)、クロックCLK 2の周波数が入力クロックCLK 0の1/4に変化し(時間t 2 2)、クロックCLK 3の周波数は入力クロックCLK 0の1/4のまま変わらず、クロックCLK 4の周波数が入力クロックCLK 0の1/4に変化する(時間t 2 1)。

【0050】その後アクティブ信号Act 1およびAct 2の組み合わせが0/0に戻ると(図示せず)、最優先回路動作が終了し、クロックCLK 1~CLK 4は入力クロックCLK 0の周波数と同じに戻る(クロックCLK 1~CLK 4の位相は必ずしも一致しない)。このクロック周波数の復帰は、最優先回路101および102から出力される処理終了出力#1および#2により、図示しないCPUに通知される。

【0051】つまり、CPUがそのプログラム実行中に処理開始命令#1および#2を適宜最優先回路101および102へ与えることにより、各動作ユニット31~34は、適宜変更されたクロックCLK 1~CLK 4の周波数に対応した速度で、自身の処理を実行する。このクロック周波数のダイナミックな変更(低下)により、全体として、動作ユニット群30の電源消費電流(電力消費量)を減らすことができる。

【0052】また、処理開始命令#1および#2の内容によって決まるアクティブ信号Act 1およびAct 2の組み合わせ(Act 1/Act 2)でもって、図4に例示するように各クロックCLK 1~CLK 4を偶数分

周および奇数分周する(互いに異なる分周比で分周することにより、クロックCLK 1~CLK 4のうち、同一時点でレベル反転するクロック数を、最優先回路動作前よりも少なくできる。

【0053】たとえば、時間tsの直前ではクロックCLK 1~CLK 4の4クロックが同時にレベル反転しているが、最優先回路動作中では、同一時点(図5のa、b、c、d、e、f、g、h)でレベル反転するクロック数が、1~2クロックに減っている。

【0054】図3の動作ユニット31~34がCMOSデバイスで構成されている場合、その電源電流は、クロックCLK 1~CLK 4のレベル反転時にパルス状に流れる(クロックレベル変化の時間微分値に大略比例)。したがって、同一時点でレベル反転するクロック数が多いほど動作ユニット31~34全体での電源パルス電流のピークが高くなる。この電源パルス電流は電源ラインおよびグラウンドラインのインピーダンスがゼロでない限り電源にノイズパルスを発生させ、動作ユニット31~34あるいはその周辺回路に誤動作を引き起こす原因になりかねない。

【0055】図5に例示したように、最優先回路動作において、各クロックCLK 1~CLK 4の周波数を必要な範囲で下げることにより動作ユニット31~34全体での電流消費量が減るのみならず、各クロックCLK 1~CLK 4のレベル変化タイミング(位相)をずらすことにより動作ユニット31~34全体での電源パルス電流のピーク高が抑えられることから、電源ノイズが相対的に小さくなり、回路装置の誤動作をの可能性を減らすことができる。

【0056】上記実施の形態は、さらに次のような作用効果を持つ。すなわち、最優先回路(101、102)を複数用いることにより、分周回路20における分周の組み合わせ数を増やすことができるから、異なるクロックで動作する複数ユニットで構成される複雑なシステムへ、この発明を応用できる。

【0057】図6は、この発明のさらに他の実施の形態に係る可変クロック発生装置を含むシステムの構成を示す。また、図7はこの装置の動作を説明するフローチャートである。

【0058】図示しないCPUからの命令コードは最優先回路10内部の命令デコーダ110に入力される。デコーダ110は、入力された命令の内容に応じた組み合わせで、3種類のアクティブ信号Act 1~Act 3を発生する。これらのアクティブ信号Act 1~Act 3は、ゲートアレイなどで構成される選択回路120とともに、分周回路20内のアンドゲートG21~G23の第1入力端に与えられる。分周回路20内のアンドゲートG21~G23の第2入力端には、分周前のクロックCLK 0が入力される。

【0059】アンドゲートG21は、アクティブ信号A

act1が「1」レベルのときにだけ、入力クロックCLK0を第1の分周回路21へ供給する。同様に、アンドゲートG22はアクティブ信号act2が「1」レベルのときにだけ入力クロックCLK0を第2の分周回路22へ供給し、アンドゲートG23はアクティブ信号act3が「1」レベルのときにだけ入力クロックCLK0を第3の分周回路23へ供給する。

【0060】第1～第3の分周回路21～23は、選択回路120から「1」レベルの選択信号SL1～SL3を受けているときにだけ分周回路動作を行う。選択信号SL1～SL3それぞれのレベルは、アクティブ信号act1～act3の組み合わせによって決定される。

【0061】たとえば、デコーダ110に入力された命令をデコードした結果（図7のステップST10）、整数演算ユニット（ALU）31の実行命令であれば（ステップST12の#1）、ゲートG21を導通させる信号act1＝「1」がデコーダ110から出力されるとともに、分周回路21の分周比を「1」にする信号SL1が回路21に供給される（ステップST14）。これにより、整数演算ユニット31は最高速のクロックCLK1（＝CLK0）で動作する。

【0062】一方、そのときデコードされた命令（整数演算ユニット31の動作速度が最優先されている）が、たとえばデータの（メモリあるいはレジスタへの）ロード／ストア命令を含んでおり、この命令を最高速で実行する必要がないならば、分周回路22は信号SL2により分周比が「2」に設定される（ステップST16）。これによりロード／ストア制御ユニット32への電源電流が低減される。また、浮動小数点演算が実行されない命令であれば、信号act3＝「0」がデコーダ110から出力され、ゲートG23が非導通状態になる。すると分周回路23へのクロック入力が停止され（ステップST16）、浮動小数点演算ユニット（FPU）33は動作を停止する（この場合、ユニット33は殆ど電力を消費しない）。

【0063】デコーダ110に入力された命令をデコードした結果（ステップST10）、ロード／ストア制御ユニット32の実行命令であれば（ステップST12の#2）、ゲートG22を導通させる信号act2＝「1」がデコーダ110から出力されるとともに、分周回路22の分周比を「1」にする信号SL2が回路22に供給される（ステップST18）。これにより、ロード／ストア制御ユニット32は最高速のクロックCLK2（＝CLK0）で命令あるいはデータのロード／ストアを実行する。

【0064】一方、そのときデコードされた命令（ロード／ストア制御ユニット32の動作速度が最優先されている）が、たとえば整数演算命令を含んでおり、この命令を最高速で実行する必要がないならば、分周回路21は信号SL1により分周比が「2」に設定される（ステ

ップST20）。これにより整数演算ユニット31への電源電流が低減される。

【0065】また、そのときデコードされた命令（ロード／ストア制御ユニット32の動作速度が最優先されている）が、たとえば浮動小数点演算命令を含んでおり、この命令も最高速で実行する必要がないならば、分周回路23は信号SL3により分周比が「2」に設定される（ステップST20）。これにより浮動小数点演算ユニット33への電源電流が低減される。

【0066】デコーダ110に入力された命令をデコードした結果（ステップST10）、浮動小数点演算ユニット（FPU）31の実行命令であれば（ステップST12の#3）、ゲートG23を導通させる信号act3＝「1」がデコーダ110から出力されるとともに、分周回路23の分周比を「1」にする信号SL3が回路23に供給される（ステップST22）。これにより、浮動小数点演算ユニット33は最高速のクロックCLK3（＝CLK0）で動作する。

【0067】一方、そのときデコードされた命令（浮動小数点演算ユニット33の動作速度が最優先されている）が、たとえばデータの（メモリあるいはレジスタへの）ロード／ストア命令を含んでおり、この命令を最高速で実行する必要がないならば、分周回路22は信号SL2により分周比が「2」に設定される（ステップST24）。これによりロード／ストア制御ユニット32への電源電流が低減される。また、整数演算が実行されない命令であれば、信号act1＝「0」がデコーダ110から出力され、ゲートG21が非導通状態になる。すると分周回路21へのクロック入力が停止され（ステップST24）、整数演算ユニット（ALU）31は動作を停止する（この場合、ユニット31は殆ど電力を消費しない）。

【0068】上記実施の形態は、次のような作用効果を持つ。

【0069】これから実行しようとする命令内容に応じて最高速クロックで動作すべきユニットをダイナミックに指定できる。すなわち、その命令内容では最高速クロックで動く必要のないユニットのクロックは適宜低下させ、その命令内容では全く動作不要なユニットについてはクロックを止めることができる（止めてもエラーがない場合）。そうするとシステム全体としてのパフォーマンスを実質的に落とさずに装置全体としての電源消費電流を効果的に減少させることができる。

【0070】図8は、この発明のさらに他の実施の形態に係る可変クロック発生装置を含むシステムの構成を示す。ここでは、32ビットのデータ長を持つA入力と32ビットのデータ長を持つB入力との加算演算を行なう装置にこの発明が適用された場合の一例が示されている。

【0071】すなわち、A入力の32ビットデータバス

は下位桁用16ビット加算器31Xおよび上位桁用16ビット加算器32Xそれぞれの一方入力ポートに接続される。また、B入力の32ビットデータバスは下位桁用16ビット加算器31Xおよび上位桁用16ビット加算器32Xそれぞれの他方入力ポートに接続される。

【0072】下位桁用16ビット加算器31Xには可変周波数クロック発生器20Xから第1クロックCLK1が与えられ、上位桁用16ビット加算器32Xには可変周波数クロック発生器20Xから第2クロックCLK2が与えられている。

【0073】下位桁用16ビット加算器31Xは、第1クロックCLK1の周波数に比例した速度でA入力およびB入力の下位16ビットの加算演算を行い、その演算結果D31Xを出力する。この下位16ビット演算の結果桁上げ（キャリー）が生じたときは、そのキャリー信号C31Xは上位桁用16ビット加算器32Xに与えられる。

【0074】上位桁用16ビット加算器32Xは、第2クロックCLK2の周波数に比例した速度でA入力およびB入力の上位16ビット（および下位桁加算器からのキャリー信号C31X）の加算演算を行い、その演算結果D32Xを出力する。下位桁加算器31Xからの演算結果D31Xおよび上位桁加算器32Xからの演算結果D32Xが合わさって、32ビットのA入力およびB入力に対する32ビットの加算演算結果（C出力）となる。

【0075】A入力の32ビットデータバスの上位16ビットのビット線DAそれぞれは、ノアゲートG24に入力される。同様に、B入力の32ビットデータバスの上位16ビットのビット線DBそれぞれは、ノアゲートG25に入力される。

【0076】A入力の32ビットデータバスの上位16ビットのいずれか1つでもビット“1”を含むときは、ゲートG24は“0”レベルの信号E24を出力する。同様に、B入力の32ビットデータバスの上位16ビットのいずれか1つでもビット“1”を含むときは、ゲートG25は“0”レベルの信号E25を出力する。これらの信号E24およびE25は、ANDゲートG26に入力される。

【0077】信号E24またはE25が“0”レベルのとき、すなわち、A入力またはB入力が下位16ビットに収まらない大きさのデータ（実質17ビット～32ビットのデータ）を含むときは、ANDゲートG26は、“0”レベルのクロック変更信号E26を可変周波数クロック発生器20Xに与える。

【0078】他方、信号E24およびE25がともに“1”レベルのとき、すなわち、A入力およびB入力のいずれもが上位16ビットのデータを含まない（17ビット～32ビットのデータが全て“0”）ときは、ANDゲートG26は、“1”レベルのクロック変更信号E2

6を可変周波数クロック発生器20Xに与える。

【0079】可変周波数クロック発生器20Xは、クロック変更信号E26が“1”レベルのときは、下位桁用加算器31Xだけで加算演算可能と判定する。この場合、可変周波数クロック発生器20Xは、下位桁用加算器31Xへは高速クロックCLK1（システムクロックを分周しないもの）を供給するが、上位桁用加算器32Xへは低速クロックCLK2（システムクロックを所定の割合で分周したもの）を供給する。この処理により、上位桁用加算器32Xの電源消費電流は小さくなり節電されるが、加算演算の演算処理性能は劣化しない。

【0080】可変周波数クロック発生器20Xは、クロック変更信号E26が“0”レベルのときは、下位桁用加算器31Xだけで加算演算不能と判定する。この場合、可変周波数クロック発生器20Xは、下位桁用加算器31Xへ高速クロックCLK1（システムクロックを分周しないもの）を供給するとともに、上位桁用加算器32Xへも高速クロックCLK2（システムクロックを分周しないもの）を供給する。この処理により、32ビットの加算が、演算処理性能の劣化を伴わずに実行される。

【0081】なお、実際のパーソナルコンピュータの一般的な動作状況を想定してみると、加算演算が行わない時間は多くあり、クロック変更信号E26が“1”レベル（クロックCLK2が低速で節電モードにある）のトータル期間の方が、クロック変更信号E26が“0”レベル（クロックCLK2が高速で節電モードにない）のトータル期間よりもずっと長くなることが予想される。この場合は、図8の構成（データA・Bの内容に応じてクロックCLK2の周波数をダイナミックに変更する構成）により、有効な節電を行なうことが可能になる。

【0082】図8の実施形態では加算器31Xおよび32Xを例示したが、これはA入力および/またはB入力に対する演算内容に応じて、種々な演算器で構成されてもよい。たとえば、16ビット四則演算器を上位4ビット用演算器と下位12ビット用演算器とに分けたものでもよいし、48ビット平方根演算器を上位24ビット用演算器と下位24ビット用演算器とに分けたものでもよい。

【0083】図9は、この発明のさらに他の実施の形態に係る可変クロック発生装置を含むシステムの構成を示す。この構成は1チップマイクロコンピュータ（CPU/MPU）の構成のうちこの発明に関係する部分のみを示している。

【0084】図示しないCPU/MPUコア部分でソフトウェアが実行されると、この実行に対応して、たとえば32ビットのプログラムカウンタ10Yのカウント動作が始まる。このカウント動作は、可変周波数クロック発生器20YからのシステムクロックCLK0（たとえば分周なしの高速クロック）をカウントすることで行わ

れる。この高速クロックCLK0は、高速動作が要求される回路部分（図示しないCPU/MPUチップ内部のデータバスおよびアドレスバスなど）にも供給されるようになっている。

【0085】プログラムカウンタ10Yは下位12ビットおよび上位20ビットからなる32ビットアドレスデータを出力する。そのうち、下位12ビットはたとえば4kバイトのオンチップキャッシュメモリ31YおよびメモリマップドI/O部回路32Yに与えられ、上位20ビットはI/O部回路32Yに与えられる。そして、プログラムカウンタ10Yから出力される上位20ビットのアドレスデータのうち、最上位の2ビット（30ビット目と31ビット目）は、クロック制御情報として、可変周波数クロック発生器20Yに供給される。

【0086】プログラムカウンタ10Yは、アドレス位置を指定するアドレスデータを出力することから、より一般的にはアドレスポインタと呼んでもよい。

【0087】可変周波数クロック発生器20Yは、上記2ビットのクロック制御情報の4通りの組合せに対応して、所定の分周比でもって高速クロックCLK0を分周し、周波数可変のクロックCLK1およびCLK2を発生する。クロックCLK1はキャッシュメモリ31Yに与えられ、クロックCLK2はI/O部回路32Yに与えられる。

【0088】プログラムカウンタ10Yからのアドレス出力がキャッシュメモリ31Yのアドレスエリアを示しているときは、I/O部回路32Yは高速動作の必要がないので、クロックCLK2を落とし、その分節電を行なう。

【0089】プログラムカウンタ10Yからのアドレス出力がI/O部回路32Yのアドレスエリアを示しているときは、キャッシュメモリ31Yは休んでいるので、クロックCLK1を落とし、その分節電を行なう。I/O部回路32Yは、プログラムカウンタ10Yからのアドレス出力の内容に応じて、図示しないチップ外部のアドレスバスへ32ビットアドレスデータを出力する。また、図示しないチップ外部のデータバスおよび制御バスと図示しないチップ内部のデータバスおよび制御バスとの間のデータ交換が、相対的に高速なクロックCLK2で動作するI/O部回路32Yを介して、行われる。

【0090】図10は、図9の実施の形態の分周回路の動作例を説明する表である。プログラムカウンタ10Yからのアドレス出力の最上位2ビットが"11"または"10"のときは、可変周波数クロック発生器20Yは現在キャッシュメモリ31Yがアクセスされていると判断する。すると、クロック発生器20Y内部において、最高速のシステムクロックCLK0がそのままクロックCLK1となってキャッシュメモリ31Yに供給され、クロックCLK0を1/4に分周した低速クロックCLK2がI/O部回路32Yに供給される。

【0091】プログラムカウンタ10Yからのアドレス出力の最上位2ビットが"01"のときは、可変周波数クロック発生器20Yは現在キャッシュメモリ31Y以外のI/Oエリアがアクセスされていると判断する。すると、クロック発生器20Y内部において、最高速のシステムクロックCLK0を1/3に分周した低速クロックCLK1がキャッシュメモリ31Yに供給され、クロックCLK0を1/2に分周した中速クロックCLK2（CLK1と比べれば高速）がI/O部回路32Yに供給される。

【0092】プログラムカウンタ10Yからのアドレス出力の最上位2ビットが"00"のときは、可変周波数クロック発生器20Yは現在キャッシュメモリ31Y以外のメモリエリアがアクセスされていると判断する。すると、クロック発生器20Y内部において、最高速のシステムクロックCLK0を1/2に分周した中速クロックCLK1がキャッシュメモリ31Yに供給され、クロックCLK0を分周しない高速クロックCLK2がI/O部回路32Yに供給される。すると、図示しないチップ外メインメモリは、高速クロックCLK2で動作するI/O部回路32Yを介して、図示しないCPU/MPU内部のレジスタや演算器とデータ交換ができるようになる。

【0093】つまり、図9および図10の実施形態では、アドレスの数値（どこにアクセスするか）によって使用モジュールの動作速度を適宜変更することで、システムパフォーマンスを落とさずに、クロックを落とした分の節電効果を得ている。

【0094】換言すると、アドレスマッピングによってオンチップキャッシュのアクセスをオン・オフする場合、キャッシュアクセス時は外部バスの転送レートを落とすようにしている。またI/Oアドレスとメモリアドレスが区別されている場合は、アドレス値によって転送レートを变化させる（種々な分周比を設定するようにしている）。たとえばI/Oアドレス空間をアクセスする場合には動作クロックを落として相対的に低速な外部デバイスのアクセスタイムに合わせ、クロックを落とした分の節電を行うようにしている。

【0095】図11は、この発明のさらに他の実施の形態に係る可変クロック発生装置を含むシステムの構成を示す。

【0096】図11の可変周波数クロック発生器20Zは、クロックCLK2の制御入力がない（一致出力E150="0"）ときは高速クロックCLK1と同じ高速クロックCLK2を発生する。また、このクロック発生器20Zは、クロックCLK2の制御入力がある（一致出力E150="1"）ときは高速クロックCLK1を分周して、低速クロックCLK2を発生する。

【0097】制御入力（一致出力E150）の内容に応じて周波数が変更されるクロックCLK2は、種々な制

御対象(図1、図3、図6の動作ユニット群30参照)を含むモジュール30Zに供給される。ジュール30Z内部のそれぞれの制御対象モ(動作ユニット群)は、動作時にレベル"1"の動作時オン信号E30Zを出力するようにになっている。

【0098】動作時オン信号E30Zは、タイマ10Z内部のANDゲートG27の第1入力に与えられる。ゲートG27の出力E27はリセット信号としてカウンタ130に入力される。湖のリセットによりゲートG27が閉じて出力E27によるリセットが解除されると、カウンタ130は可変周波数クロック発生器20Zからの高速クロックCLK1のカウントを開始する。

【0099】カウンタ130のカウント出力D130は、比較器150において、設定値格納レジスタ140に予めセットされた設定値D140と比較される。比較器150はカウント出力D130が設定値D140よりも小さいときは"0"レベルの一致出力E150を発生し、カウント出力D130が設定値D140以上になると"1"レベルの一致出力E150を発生する。この"1"レベルの一致出力E150はゲートG27の第2入力にフィードバックされる。出力E150="1"を受けたゲートG27は、動作時オン信号E30Zが"1"レベルになると直ちに"1"レベルのリセット信号E27をカウンタに与え、カウンタ130をリセットする。

【0100】可変周波数クロック発生器20Zは、一致出力E150="1"(クロックCLK2の制御入力)にตอบสนองして高速クロックCLK1を分周し、低速クロックCLK2を発生する。つまり、カウンタ130が所定値D140までカウントする時間が経過すると(このことは制御対象モジュールが所定値D140に対応する時間中稼働していなかったことを意味する)、クロック発生器20Zからモジュール30Zへ供給されるクロックCLK2の周波数が下げられ、モジュール30Zでの消費電流が抑えられる。

【0101】図12は、図11の実施の形態に対応する動作を説明するフローチャートである。すなわち、システムの電源オン(ハードウェアまたはファームウェア処理)あるいはCPU命令(ソフトウェア処理)にตอบสนองしてクロック制御がスタートする。

【0102】すると、たとえば図11のクロックCLK2の周波数を下げるための分周比が設定される(ステップST30)(図10参照)。そのあと、各制御モジュール30Zの未使用時間(アイドル時間)を測定するためのタイマ10Zに、タイムアウトを検知するための時間データがセットされる(ステップST32)。このタイマセットは、図11の構成では、アイドル時間に対応するデータD140を設定値格納レジスタ140に記憶させる動作に該当する。その際、図11のカウンタ130は最初にゼロに初期化(リセット状態)されている。

【0103】タイマセットが済むとタイマがオンされる

(ステップST34)。このタイマオンによって、図11のカウンタ130は可変周波数クロック発生器20ZからのクロックCLK1のカウントを開始する。

【0104】カウンタ130のカウント値D130がレジスタ140の設定値D140に達しておらず(ステップST36ノー)、制御対象モジュール30Zがアイドル状態にあるときは(ステップST38ノー)、カウンタ130のカウントが継続される。

【0105】上記カウンタ130のカウント中に制御対象モジュール30Z内部のいずれかのモジュールが動作を開始すると(ステップST38イエス)、その動作モジュールから動作時オン信号E30Zが出力される。このオン信号E30Zによりカウンタ130がリセットされ、タイマはオフされる(ステップST40)。その後、動作モジュールが再びアイドル状態になると(ステップST38ノー)、オン信号E30Zによるカウンタリセットは解除され、タイマが再びオンされる(ステップST34)。

【0106】以後、タイムアウトしない限り(ステップST36ノー)、ステップST34~ST40のループ処理が反復される。

【0107】タイマオン(ステップST34)後、モジュールが動作しないまま(ステップST38ノー)、レジスタデータD140に対応する時間が経過する(つまりD130 $\geq$ D140になると、タイムアウトとなる(ステップST36イエス)。このタイムアウトは図11の比較器150で検知され、一致出力E150が出力される。この一致出力E150(="1")は、クロックCLK2の分周比をステップST30で設定された値に切り換える(つまりCLK2の周波数を所定の割合で低下させる)ために、可変周波数クロック発生器20Zに入力される。これによりカウンタ130へのタイマクロックCLK1の供給は一時停止し、制御対象モジュール30ZへのクロックCLK2が低速クロックに切り換えられる(ステップST42)。

【0108】すると、クロックCLK2で動作するモジュール30Zの電源消費電流が、クロックCLK2の周波数低下に対応して低減される。このようなCLK2制御入力がオンの状態は、モジュール30Zがアイドル状態であって(ステップST44ノー)、クロック制御が実行中(ステップST46ノー)は、維持される。

【0109】上記CLK2制御入力がオンの状態でモジュール30Zが動作を開始すると、モジュールから動作時オン信号E30Z(="1")が出力される。そのとき、一致出力E150(="1")とオン信号E30Z(="1")との論理ANDによりゲートG27からリセット信号E27(="1")が出力され、カウンタ130がリセットされる。するとCLK2制御入力がオフとなり(一致出力E150="0")、クロックCLK2が高速クロックに復帰するとともに(ステップST4



8)、カウンタ130へ再びタイマクロックCLK1が供給されるようになる(ステップST34)。

【0110】以上の処理フローにおいて、クロックCLK2で動作する制御対象モジュール30Zが所定時間(D140対応)以上アイドル状態になると(ステップST36イエス)、クロックCLK2で動作する制御対象モジュール30Zだけが低速クロックにより節電モードに入る。その場合でも、クロックCLK2以外により動作中のその他のモジュールは本来の高速クロックでパフォーマンス低下を伴わず自身の仕事を処理できるようになっている。

【0111】なお、図12のフローチャートは、節電等のためにクロック周波数を適宜変更するクロック制御がCPU制御によりオン・オフされる場合を想定しているため、この制御フローを抜けるステップST46が設けられている。図12のクロック制御が図11のようなハードウェアまたはシステムROM(図示せず)に書き込まれたファームウェアにより常時実行される装置では、ステップST46での判断は常にNOなので、その場合は図12のステップST46は省略される。

【0112】図12のフローチャートによれば、特に使用頻度の大きくないモジュール、あるいは消費電力の大きいモジュールに対して節電のためのクロック周波数制御(図11の例ではCLK2の分周制御)が行なわれる。その際、タイマ(10Z)により各モジュール(30Z)のアイドル時間が測定される。そして、このアイドル時間測定値(D130)が所定値(D140)以上になるまで待つてから、クロック制御入力をオンし、該当モジュールの動作クロックを落とすようにしている(長時間アイドル状態にあるモジュールに高速クロックを与え続けて無駄に電源電流を消費させないため)。

【0113】

【発明の効果】システムの稼働状況(入力命令の内容; 処理データの内容; アクセスするデータエリアの違い; システムを構成する各モジュールの動作状況など)に応じてシステムを構成する各処理部(31~34、30Zなど)への動作クロックをダイナミックに変更して、必要な部分へ必要な時にだけ相対的に高速なクロックを選択的に供給する(たとえば図10参照)ようにしている。これにより、システム性能を落とすことなく電源消費電流を抑えることができる。

【図面の簡単な説明】

【図1】この発明の一実施の形態に係る可変クロック発生装置を含むシステムの構成を示すブロック図。

【図2】図1の実施の形態の動作を説明するタイミングチャート図。

【図3】この発明の他の実施の形態に係る可変クロック発生装置を含むシステムの構成を示すブロック図。

【図4】図3の実施の形態の分周回路の動作を説明する表図。

【図5】図3の実施の形態の動作を説明するタイミングチャート図。

【図6】この発明のさらに他の実施の形態に係る可変クロック発生装置を含むシステムの構成を示すブロック図。

【図7】図6の実施の形態の動作を説明するフローチャート。

【図8】この発明のさらに他の実施の形態に係る可変クロック発生装置を含むシステムの構成を示すブロック図。

【図9】この発明のさらに他の実施の形態に係る可変クロック発生装置を含むシステムの構成を示すブロック図。

【図10】図9の実施の形態の分周回路の動作を説明する表図。

【図11】この発明のさらに他の実施の形態に係る可変クロック発生装置を含むシステムの構成を示すブロック図。

【図12】図11の実施の形態に対応する動作を説明するフローチャート。

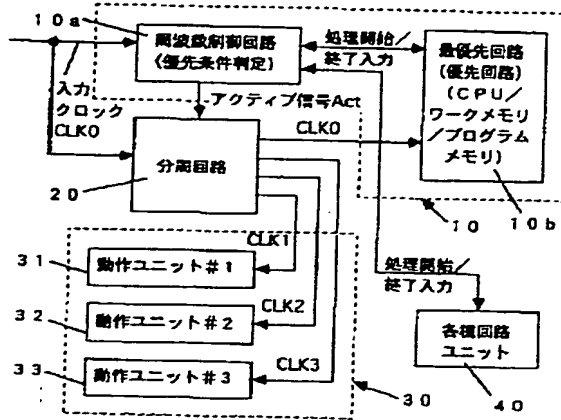
【符号の説明】

- 10...最優先回路(切換信号回路);
- 10Y...プログラムカウンタ(アドレスポインタ);
- 10Z...タイマ;
- 101...最優先回路#1(切換信号回路);
- 102...最優先回路#2(切換信号回路);
- 101a、102a...周波数制御回路;
- 101b...優先回路#1(CPU);
- 102b...優先回路#2(CPU);
- 20...分周回路(可変クロック供給回路);
- 20X、20Y、20Z...可変周波数クロック発生器;
- 30...動作ユニット群;
- 30Z...制御対象モジュール(動作ユニット群);
- 31...動作ユニット#1(ALU);
- 32...動作ユニット#2(ロード/ストア);
- 33...動作ユニット#3(FPU);
- 34...動作ユニット#4;
- 31X...下位16ビット用加算器(動作ユニット#1);
- 32X...上位16ビット用加算器(動作ユニット#2);
- 31Y...オンチップキャッシュメモリ(動作ユニット#1);
- 32Y...I/O部回路(動作ユニット#2);
- 21...分周回路#1;
- 22...分周回路#2;
- 23...分周回路#3;
- G21~G23、G26、G27...ANDゲート;
- G24~G25...NORゲート;
- 130...カウンタ;

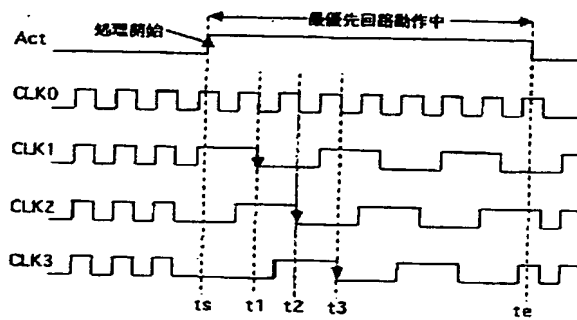
140...設定値格納レジスタ;

150...比較器。

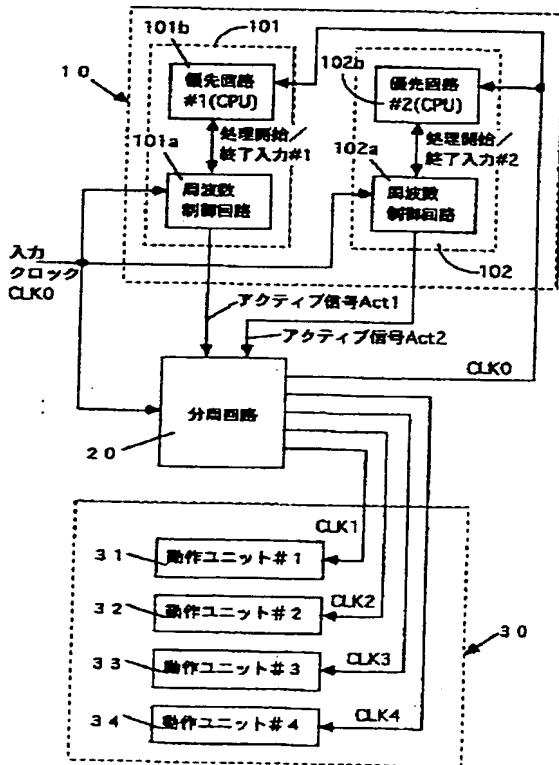
【図1】



【図2】



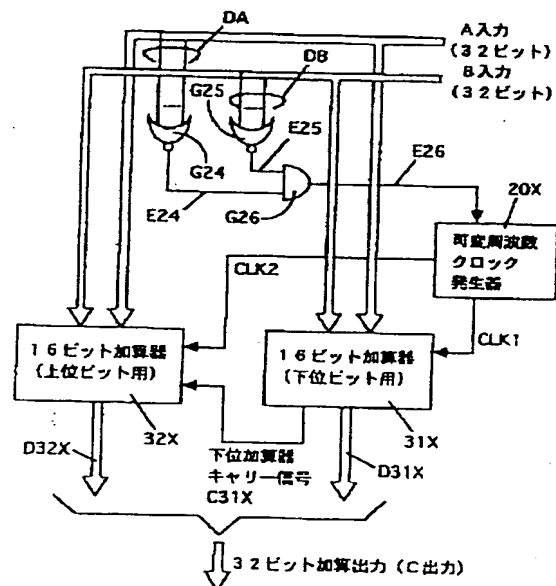
【図3】



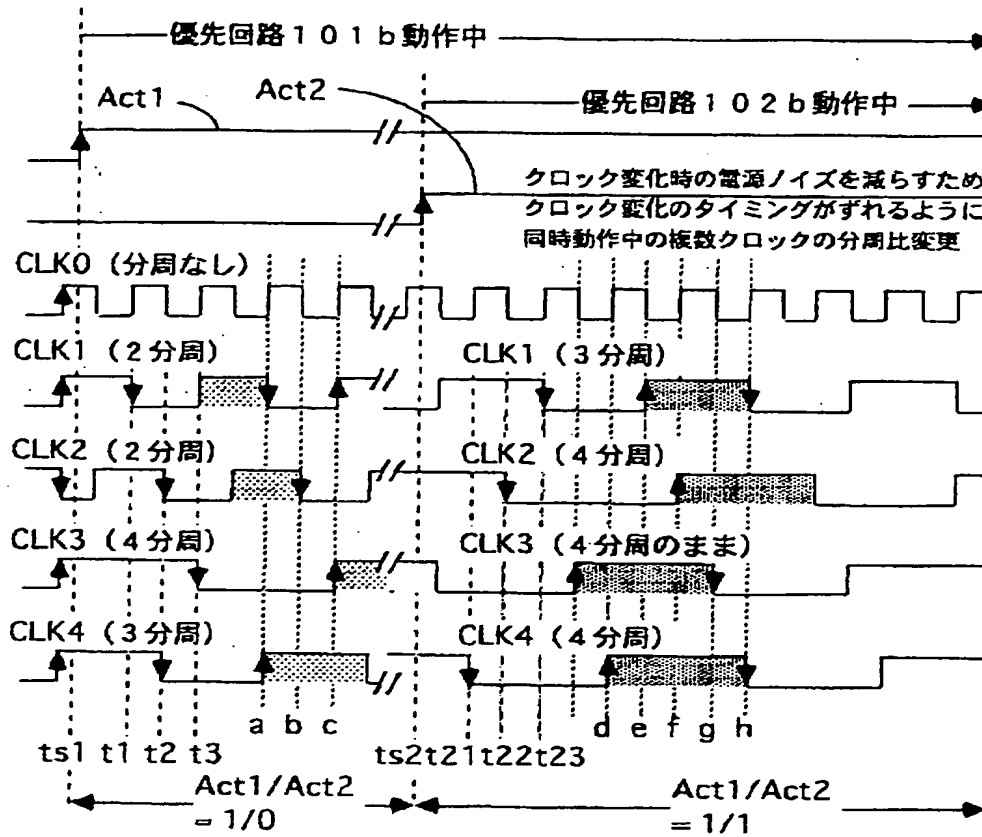
【図4】

Act1/Act2	CLK1	CLK2	CLK3	CLK4
0/0	1	1	1	1
0/1	1	4	2	3
1/0	2	2	4	3
1/1	3	4	4	4

【図8】



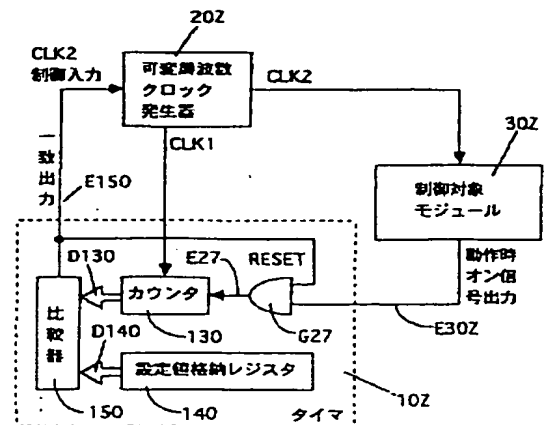
【図5】



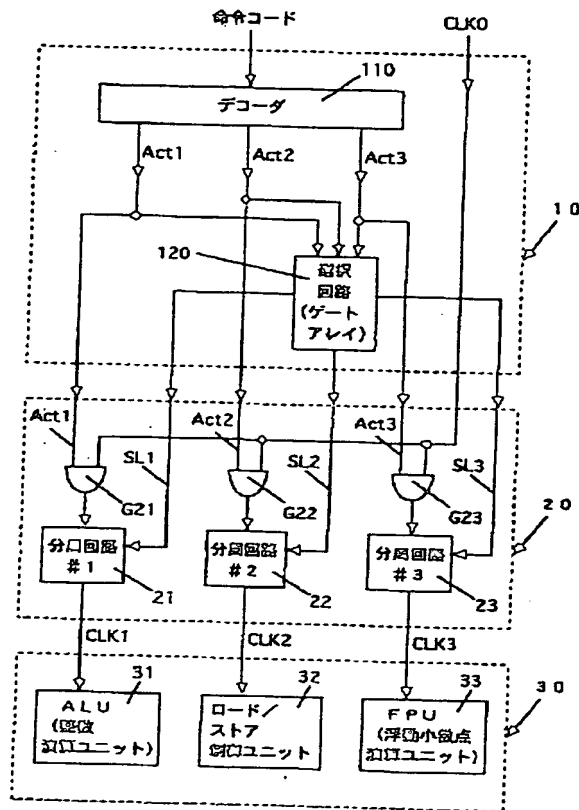
【図10】

		最上位アドレス [31~30]	CLK0 の分周比	CLK1 の分周比	CLK2 の分周比
キャプ シュ領域	キャプ シュ領域	11 10	1	1	4
非キャプ シュ領域	I/O領域	01	1	3	2
	メモリ領域	00	1	2	1

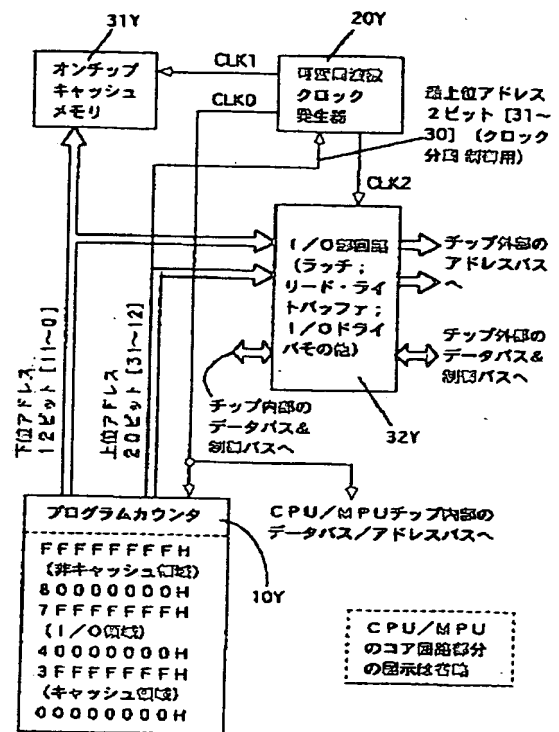
【図11】



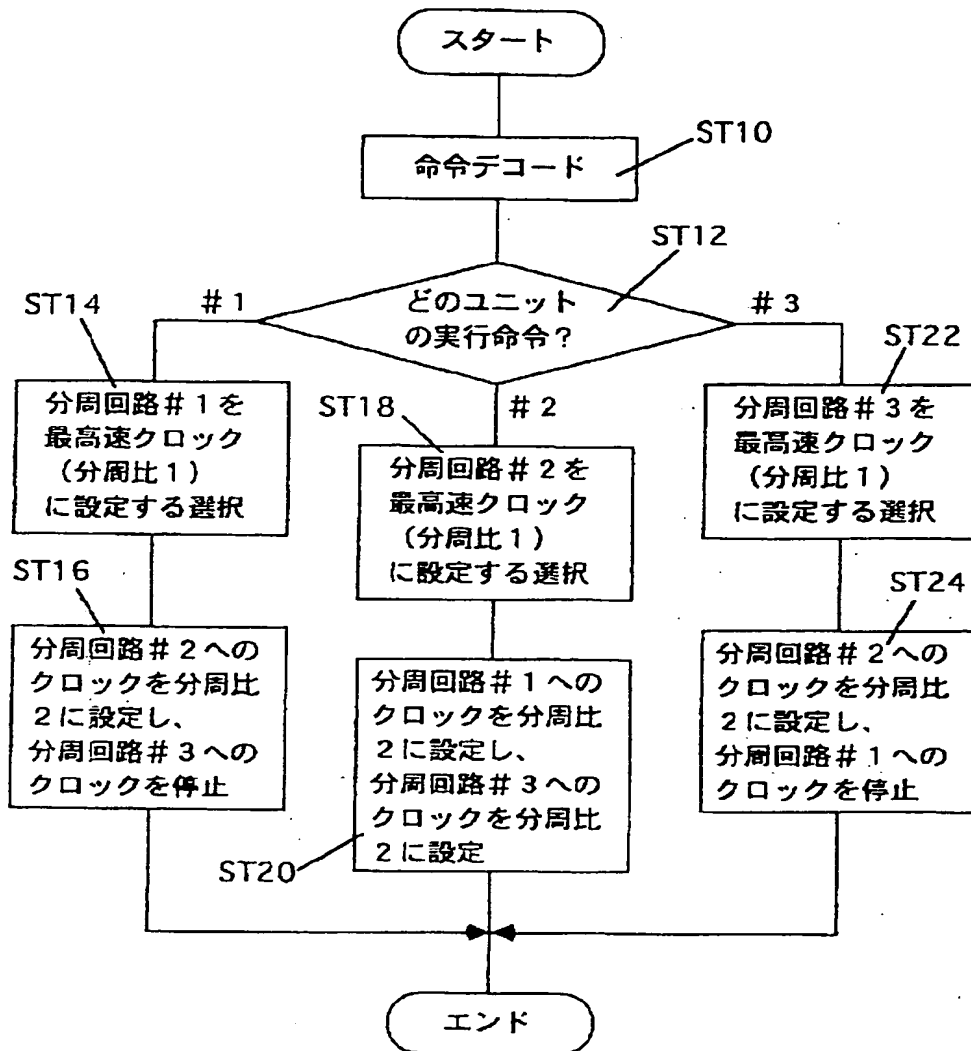
【図6】



【図9】



【図7】



【図12】

